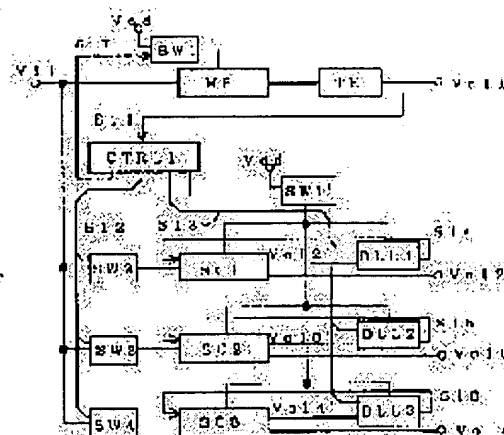


(11)Publication number : **09-046174**
(43)Date of publication of application : **14.02.1997**

H03H 11/04
H03H 17/02
H04J 13/00
H04L 7/00
H04L 7/10

(72)Inventor : **SHU NAGAAKI**
KOTOBUKI KOKURIYOU
KOU SHIYUCHIYOKU
YAMAMOTO MAKOTO

SOLUTION: A peak detection circuit TH connecting to a post stage of a matched filter MF receiving an input signal detects plural timings when an output of the matched filter MF exceeds a prescribed level, and a controller CTRL 1 receiving an output signal sets a basic timing of multiplication in each of sliding correlation devices SC1-SC3. Furthermore, the input signal is given to the sliding correlation devices SC1-SC3 via switches SW2-SW4, a DLL circuit (synchronization tracing device) connecting to the post stage fine-adjusts a timing of multiplication based on outputs of the sliding correlation devices SC1-SC3 and the timing from the controller CTRL 1 and interrupts the operation of the matched filter MF after the detection of the timing.



[Date of request for examination]	01.11.2001
[Date of sending the examiner's decision of rejection]	12.03.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application]	

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46174

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H03H 11/04		8731-5J	H03H 11/04	Z
	681	8842-5J	17/02	681Z
H04J 13/00			H04L 7/00	C
H04L 7/00			7/10	
7/10			H04J 13/00	A
審査請求 未請求 請求項の数2 FD (全8頁)				

(21) 出願番号 特願平7-215389

(22) 出願日 平成7年(1995)7月31日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(71) 出願人 390010515

株式会社鷹山

東京都世田谷区北沢3-5-18 鷹山ビル

(72) 発明者 周 長明

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

(72) 発明者 寿 国梁

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

(74) 代理人 弁理士 山本 誠

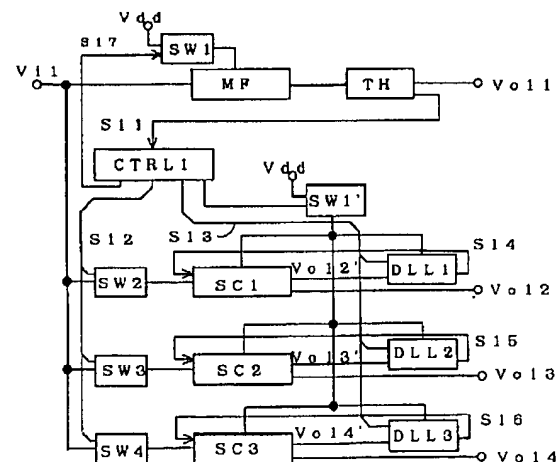
最終頁に続く

(54) 【発明の名称】 フィルタ回路

(57) 【要約】

【目的】 充分高速の初期同期を実現しつつ、従来に比較して消費電力を大幅に抑えたフィルタ回路を提供することを目的とする。

【構成】 マッチドフィルタとスライディング相関器を並列使用し、初期同期をマッチドフィルタで行い、その後相関演算をスライディング相関器で実行し、マッチドフィルタへの電力供給を停止するものである。



【特許請求の範囲】

【請求項1】 入力信号に対して接続されたマッチドフィルタと、このマッチドフィルタに対して並列に前記入力信号に接続された複数のスライディング相関器と、前記マッチドフィルタの出力が所定値以上のレベルになるタイミングを前記スライディング相関器の個数と等しい個数あるいはそれ以下の個数検出するタイミング検出回路と、このタイミング検出回路の出力に基づいて前記スライディング相関器のそれぞれにおける乗算の基本的タイミングを設定するコントローラと、このコントローラの設定によって基本的なタイミングを与えられかつスライディング相関器の出力に基づいてそのスライディング相関器の乗算のタイミングを微調整する同期追跡器と、前記タイミング検出回路によるタイミング検出完了以後は前記マッチドフィルタの作動を中断する電源スイッチとを備えているフィルタ回路。

【請求項2】 マッチドフィルタの作動中にスライディング相関器および同期追跡器の作動を中断する第2の電源スイッチがさらに設けられていることを特徴とする請求項1記載のフィルタ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はフィルタ回路に係り、移動体通信や無線LAN等のためのスペクトラム拡散通信システムに有効なフィルタ回路に関する。

【0002】

【従来の技術】マッチドフィルタ（整合フィルタ）は、2つの信号の同一性を判定するためのフィルタであり、スペクトラム拡散方式の通信において、信号を受信すべきユーザは受信信号を自らの拡散符号を用いたマッチドフィルタで処理し、その相関ピークを検出して、同期捕捉および保持を行う。

【0003】ここに拡散符号を $d(i)$ 、サンプリング間隔 Δt 、拡散符号長を N 、ある時刻 t 以前の受信信号を $x(t-i\Delta t)$ とすると、マッチドフィルタの相関出力 $y(t)$ は、

【数1】

$$y(t) = \sum_{i=0}^{N-1} d(i)x(t-i\Delta t) \quad (1)$$

となる。なお $d(i)$ は1ビットデータのデータ列である。

【0004】このようにマッチドフィルタは多くの乗算を行う必要があるため回路規模が大となり、また同期捕捉のためにはダブルサンプリングあるいはより多くのサンプリングを行う場合、さらに回路規模が拡大した。このためマッチドフィルタは膨大な電力を消費するという欠点があった。これは携帯通信端末にとって重大な欠点であった。一方入力信号に対して1個の乗算器により逐次拡散符号を乗ずるスライディング相関器も知られてい

るが、初期同期のために比較的長い時間を要していた。

【0005】

【発明が解決しようとする課題】本発明はこのような従来の問題点を解消すべく創案されたもので、充分高速の初期同期を実現しつつ、従来に比較して消費電力を大幅に抑えたフィルタ回路を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明に係るフィルタ回路は、マッチドフィルタとスライディング相関器を並列使用し、初期同期をマッチドフィルタで行い、その後相関演算をスライディング相関器で実行し、マッチドフィルタへの電力供給を停止するものである。

【0007】

【作用】本発明に係るフィルタ回路によれば、電力供給が最小限に抑えられ、かつ初期同期が高速である。

【0008】

【実施例】次に本発明に係るフィルタ回路の1実施例を図面に基いて説明する。

【0009】図1において、フィルタ回路は入力信号 V_{i1} に接続されたマッチドフィルタMFを有し、このマッチドフィルタMFの後段にはピーク検出回路THが接続されている。ピーク検出器はマッチドフィルタの出力が所定レベルを越える複数のタイミングを検出し、そのタイミングを示す信号を出力する。このピークのタイミングはその受信端末に対する信号およびその遅延信号の受信タイミングである。

【0010】入力信号 V_{i1} は、さらに3系統のスイッチSW2、SW3、SW4に入力され、これらスイッチをそれぞれ介して3系統のスライディング相関器SC1、SC2、SC3に入力されている。スライディング相関器SC1～SC3の後段には、同期追跡器としてのDLL（Delay Locked Loop）回路DLL1、DLL2、DLL3が接続され、そのフィードバック信号（図1ではS14、S15、S16で示す。）がスライディング相関器に与えられている。

【0011】前記ピーク検出回路THの出力信号S11はコントローラCTRL1に入力され、このコントローラにおいて、スライディング相関器SC1～SC3のタイミングが設定される。コントローラは制御信号S12によって前記スイッチSW2～SW4を開閉し、制御信号S13によってDLL1～DLL3の基本的タイミング設定を行う。

【0012】ここに基本的タイミング設定とは、拡散符号 $d(i)$ と $x(t-i\Delta t)$ との関係を適正化するために、 $d(i)$ に対して $d(i+j\Delta t)$ なるオフセットを与える操作である。

【0013】図2に示すように、マッチドフィルタMFは複数の直列なサンプル・ホールド回路Sとこれらサンプル・ホールド回路の出力に乗数 $m1 \sim mn$ を乗ずる乗算器（図2において×記号で示す。）を有し、乗算器の

出力の総和を加算器（図2において Σ 記号で示す。）によって求めている。このようにマッチドフィルタには多くのサンプル・ホールド回路、乗算器および加算器が含まれ消費電力が大きいが、図1に示すように、マッチドフィルタの電源電圧 V_d は電源スイッチ $SW1$ （複数の電源スイッチを代表して示す。）を介して供給され、この電源スイッチを前記コントローラ $CTRL1$ からの制御信号 $S17$ により適宜開放することにより、電力消費を抑え得る。

【0014】さらにスライディング相関器および DDL 回路は、電源スイッチ $SW1'$ （複数の電源スイッチを代表して示す。）を介して電力が供給され、マッチドフィルタを作動して初期同期を行っているときには、この電源スイッチは開放される。これによって初期同期時の消費電力も抑制され、全体回路の消費電力が最小限に抑えられている。

【0015】マッチドフィルタの出力のピーク検出が完了し、基本的タイミングを示す信号 $S11$ が出力されたときには、コントローラ $CTRL$ は信号 $S17$ を出力し、これによって電源スイッチ $SW1$ を開放する。すなわち初期同期に関してはマッチドフィルタを使用して、スライディング相関器に比較して高速の処理を実現し、初期同期完了後にこのマッチドフィルタの使用を停止するのでその後の電力消費を節減し得る。 $SW1$ の開放と同時に $SW1'$ 、 $SW2 \sim SW4$ が閉成され、 $SC1 \sim SC3$ への信号入力および信号処理が開始される。

【0016】図3に示すように、スライディング相関器 $SC1$ はスイッチ $SW2$ から入力される入力信号 V_{i3} をサンプル・ホールド回路 S において一旦保持し、乗算器（ \times 記号で示す。）に入力する。乗算器はこの入力信号にたいして $DDL1$ から供給された乗数 $m_i(t)$ を乗じ、積分器としてのローパスフィルタ LPF に inputsする。 LPF では1周期（全拡散符号との乗算の期間）の乗算結果の積分を行い、その結果を出力信号 V_{o12} として出力している。ここにマッチドフィルタと異なり、乗数を時間の関数で示しているのは、 $DDL1$ において微妙なタイミング設定を行うことを明示するためである。また前記入力信号（乗算実行前の信号）は一旦保持された後、乗算のタイミングに合わせて、そのまま $DDL1$ に対する入力信号 V_{o12}' となる。以上のスライディング相関器の構成は $SC2$ 、 $SC3$ も同様であるので、図示、説明を省略する。また $DDL1 \sim DDL3$ は同様に構成されているため、以下 $DDL1$ のみについて説明する。

【0017】図4において、 $DDL1$ は信号 V_{o12}' が並列に入力された乗算器（ \times 記号で示す。）を有し、これら乗算器の出力はローパスフィルタ $LPF1$ 、 $LPF2$ にそれぞれ入力されている。この構成はスライディング相関器の演算部分と同様であり、前記 $m_i(t)$ に対して微妙に遅れあるいは進んだ信号に対する相関演算

を行う。 $LPF1$ 、 $LPF2$ の出力は2乗検波器 $DET1$ 、 $DET2$ にそれぞれ入力され、2乗検波器の出力の差を加算器（ $+$ 記号で示す。）において算出している。この差信号はループフィルタ LF においてノイズ除去のために平滑化され、電圧制御発振器 VCO に入力される。 VCO は最終段の拡散符号発生器 PNG の位相制御を行い、 $SC1$ に供給すべき $m_i(t)$ および、これに対して所定時間 Δ だけ進んだ信号 $m_i(t-\Delta)$ と遅延した信号 $m_i(t+\Delta)$ を生成する。これらの進み信号および遅れ信号は前記乗算器に入力され、入力信号の進みおよび遅れを常時監視し得るようになっている。

【0018】以上のようにスライディング相関器および同期追跡器による信号処理はサンプル・ホールドおよび乗算のための回路が小規模であるため、マッチドフィルタによる場合よりも電力消費はわずかである。なお1回の通話期間中に予想される同期のずれは同期追跡器によって追跡し得るものであり、新たな通話に際しては、マッチドフィルタによる同期捕捉を再開することになる。

【0019】図1ではマッチドフィルタ全体について1個の電源スイッチを表示しているが、電源スイッチ個数はその電流容量等を考慮して決定すべきであり、例えば、図2個々のサンプル・ホールド回路および乗算回路につき1個ずつの電源スイッチを設けるべきである。

【0020】図5は電源スイッチ $SW1$ を例示するものであり、 n 型、 p 型の1対のMOSトランジスタのドレイン、ソースを相互に接続してなるトランジスタ回路 $T51$ のドレインに入力電圧 $V5$ を接続し、 $T51$ のソースを同様の構成のダミートランジスタ DT を介して出力端子 T_{o5} に接続してなる。トランジスタ回路 $T51$ における n MOSトランジスタのゲートには信号 $S17$ が入力され、 p MOSトランジスタのゲートには $S17$ をインバータ $I5$ で反転した信号が入力されている。これによって、 $S17$ がハイレベルのときには $T51$ が導通し、ローレベルのときには $T51$ は遮断される。このようなスイッチはそれ自体の消費電力もわずかであり、多数使用する場合にも全体の消費電力に与える影響が小さい。

【0021】ここでより消費電力を節減したマッチドフィルタの構成を説明する。

【0022】図6において、マッチドフィルタ回路は複数のサンプル・ホールド回路 $S/H51 \sim S/H56$ に対して入力電圧 V_{in} を並列接続してなり、各サンプル・ホールド回路から H （ハイ）、 L （ロー）の2系統の出力を生じる。サンプル・ホールド回路にはコントロール回路 $CTRL$ が接続され、順次いずれか1個のサンプル・ホールド回路に V_{in} が取り込まれるように制御を行う。

【0023】またサンプル・ホールド回路は、コントロール回路の制御に基づき、入力電圧 V_{in} を H 側または L 側の一方に導き、他方には基準電圧 V_r を接続する。

この経路選択は入力信号に乗すべき1ビット符号に対応して行われ、この段階で乗算が完了したことになる。

【0024】サンプル・ホールド回路S/H51～S/H56（図はS/H51で代表している。）は、図7のように構成され、入力電圧 V_{in} は前記SW1と同様のスイッチSW6に接続されている。スイッチSW6出力はキャパシタンスC6に接続され、キャパシタンスC6の出力には反転増幅部AMP6が接続されている。

【0025】図10において、反転増幅部AMP6において、入力電圧 V_{10} は3段直列のMOSインバータI101、I102、I103に入力されている。最終段のMOSインバータI103の出力 V_{o10} は帰還キャパシタンスCF10を介して初段キャパシタンスI101の入力に接続され、閉ループゲインが設定されている。帰還キャパシタンスCF10の容量はその入力に接続された容量結合の総容量または接合キャパシタンスと等しく設定され、閉ループゲインは-1に設定されている。

【0026】反転増幅部AMP6はI103の出力が接地キャパシタンスCG10を介してグラウンドに接続され、またI102の出力が一對の平衡レジスタンスRE101、RE102を介して電源およびグラウンドに接続されている。これによってフィードバック系を含む増幅回路の発振が防止されている。さらにレジスタンスRE101および前記インバータI101～I103は、公知のアナログスイッチよりなる電源スイッチSWSを介して電源に接続されており、AMP6が実質的に動作していないときに電源スイッチを開放することにより、その消費電力を節減し得る。

【0027】AMP6の出力は2個のマルチプレクサMUX61、MUX62に入力され、またこれらマルチプレクサには共通な基準電圧 V_r が接続されている。SW6閉成されると、C6は V_{in} に対応した電荷で充電され、AMP6のフィードバック機能により出力の線形特性が保証される。そして、その後スイッチSW6が開放されたときにサンプル・ホールド回路S/H51は V_{in} を保持することになる。

【0028】スイッチSW6、マルチプレクサMUX61、MUX62はコントロール信号S61、S62、S63によってコントロールされる。S61はスイッチSW6を一旦閉成し、その後、入力電圧を取り込むべき時点においてSW6を開放する。S62、S63は反転した信号であり、一方のマルチプレクサが V_{in} を出力するときには、他方のマルチプレクサは V_r を出力する。MUX61は前記H（ハイ）の系統の出力を生じ、MUX62はL（ロー）の系統の出力である。このH、Lは拡散符号の「1」、「-1」に対応しており、ある時点の入力電圧に符号「1」を乗するべきときには、MUX61から V_{in} を出力し、「-1」を乗するべきときにはMUX62から V_{in} を出力する。

【0029】図8において、マルチプレクサMUX61はpMOS、nMOSの1対のトランジスタのソース、ドレインを相互に接続してなるトランジスタ回路T81およびT82を有し、これらトランジスタ回路のドレインには入力電圧 V_8 、基準電圧 V_r がそれぞれ接続されている。トランジスタ回路T81は、nMOSのゲートに信号S8が、またpMOSのゲートにS8をインバータI8で反転した信号が入力されている。一方トランジスタ回路T82は、S8がpMOSのゲートに入力され、その反転した信号がnMOSのゲートに入力されている。そしてT81、T82のソースは共通の出力端子 T_{o8} に接続されている。以上のマルチプレクサにおいてはS8がハイのときに V_8 が T_{o8} から出力され、ローのときに V_r が T_{o8} から出力される。

【0030】信号S62は拡散符号に対応し、S62=1のときに $1 \times V_{in} = V_{in}$ をAD1pに出力する。このときS63は-1であり、0に対応した V_r をAD1mに出力する。一方、S62=-1のときには、0に対応した V_r をAD1pに出力する。このとき、S63は+1であり、 $1 \times V_{in} = V_{in}$ をAD1mに出力する。

【0031】ある時点で保持された信号の順序に対して拡散符号は一定であり、新たな信号を取り込むタイミングでは最も古い信号に替えて新たな信号を取り込む。この際S/H51～S/H56とd(i)の対応関係がずれることになり、コントロール回路はこれに応じたd(i)のシフトを行う。このようなS/H51～S/H56に対する符号供給のシフトを行わない場合には、S/H間でのデータ転送を行うことになり、データ転送に伴う誤差が発生することになる。すなわち、符号のシフトはデータの転送誤差を防止する上で有効である。

【0032】式(1)における積算は、前記加算部AD1p、AD1m、AD52、AD53で実行され、各サンプル・ホールド回路の出力電圧 V_H 、 V_L がAD53、AD52においてそれぞれ積算されている。この積算は直接実行されず、S/H51～S/H56を複数のグループに分け、各グループごとに出力 V_H 、 V_L を一旦AD1p、AD1mで積算する。そして V_H を積算するAD1pの出力を全てAD52に入力し、 V_L を積算するAD1mの出力を全てAD53に入力する。ここに図1では6個のS/H51～S/H56が図示され、これを3個ずつのグループに分けているが、一般に拡散符号は100～数千100ビットあるいはさらに長いコードであり、このビット数に対応した個数のサンプル・ホールド回路が設けられる。

【0033】図9に示すように、加算部AD1p（AD1mも同様。）は1グループのサンプル・ホールド回路の個数に対応した個数のキャパシタンスC91、C92、C93よりなる容量結合CP9を有し、CP9において入力電圧の正規化加算が行われる。また、その出力

はAMP 6と同様なAMP 9に接続されて、CP 9の出力が良好な線形性をもって出力電圧V_{o9}として出力される。

【0034】図11に示すように、加算部AD52は接続されたAD1_pまたはAD1_mの個数に対応した個数のキャパシタンスC101、C102よりなる容量結合CP10を有し、その正規化加算出力はAMP 6と同様な反転増幅部AMP10に接続されている。これによってCP10の出力が良好な線形性をもってAMP10の出力に生じるようになっている。ここに、V101、V102は基準電圧V_rを基準とした電圧であり、またC101=C102=CF10/2と設定されている。

【0035】図12に示すように、加算部AD53は接続された2個のAD1_pまたはAD1_mおよびAD52に対応したキャパシタンスC111、C112、C113よりなる容量結合CP11を有し、その出力はAMP 6と同様なAMP11に接続されている。これによってCP11の正規化加算出力が良好な線形性をもってAMP11の出力に生じるようになっている。ここに、C111=C112=C113/2=CF11/2と設定されている。なお、C113の重みがC111、C112の2倍に設定されているのは、AD52で正規化された影響を除去する（正規化されていないV10、V11と整合させる）ためである。以上の正規化により、最大電圧が電源電圧を超えることが防止されている。

【0036】前記基準電圧V_rは、図13に示す基準電圧生成回路V_{ref}によって生成される。この基準電圧生成回路は3段の直列なインバータI15、I16、I17の最終段出力を初段入力に帰還させた回路であり、前記加算部と同様に接地キャパシタンスCG12、平衡レジスタンスRE121、RE122による発振防止処理が施されている。基準電圧生成回路V_{ref}はその入出力電圧が等しくなる安定点に出力が収束し、各MOSインバータの閾値設定により所望の基準電圧を生成し得る。一般には正負両方向に充分大きなダイナミックレンジを確保するために、V_r=V_{dd}/2と設定されることが多い。ここにV_{dd}はMOSインバータの電源電圧である。

【0037】以上のマッチドフィルタ回路は容量結合によるアナログ加算を行うため、回路規模はデジタル処理の場合に比較して大幅に減縮され、また並列加算であるため処理速度は速い。さらにサンプル・ホールド回路や加算部は入出力が全て電圧信号であるため、電流消費はわずかであり、消費電力が少ない。

【0038】

【発明の効果】本発明に係るフィルタ回路は、マッチドフィルタとスライディング相関器を並列使用し、初期同期をマッチドフィルタで行い、その後相関演算をスライディング相関器で実行し、マッチドフィルタへの電力供給を停止するので、電力供給が最小限に抑えられ、かつ

初期同期が高速であるという優れた効果を有する。

【図面の簡単な説明】

【図1】 本発明に係るフィルタ回路の1実施例を示す回路図である。

【図2】 同実施例におけるマッチドフィルタを示す回路図である。

【図3】 同実施例におけるスライディング相関器を示す回路図である。

【図4】 同実施例におけるDLL回路を示す回路図である。

【図5】 電源スイッチを示す回路図である。

【図6】 マッチドフィルタの他の例を示す回路図である。

【図7】 図6のマッチドフィルタにおけるサンプル・ホールド回路を示す回路図である。

【図8】 同マッチドフィルタにおけるマルチプレクサを示す回路図である。

【図9】 同マッチドフィルタの第1加算回路を示す回路図である。

【図10】 同マッチドフィルタ回路の反転増幅部を示す回路図である。

【図11】 同マッチドフィルタの第2加算回路を示す回路図である。

【図12】 同マッチドフィルタの第3加算回路を示す回路図である。

【図13】 同マッチドフィルタの基準電圧発生回路を示す回路図である。

【符号の説明】

MF . . . マッチドフィルタ

SC1、SC2、SC3 . . . スライディング相関器

SW1 . . . 電源スイッチ

DLL1、DLL2、DLL3 . . . 捕捉器

CTRL1 . . . コントローラ

S、S/H51~S/H56 . . . サンプル・ホールド回路

Σ、ADDER、AD1_p、AD1_m、AD52、AD53 . . . 加算部

AMP6、AMP9、AMP10、AMP11 . . . 反転増幅部

SW31、SW32、SW6 . . . スイッチ

V_{in} . . . 入力電圧

V_{out} . . . 出力電圧

SWS . . . 電源スイッチ

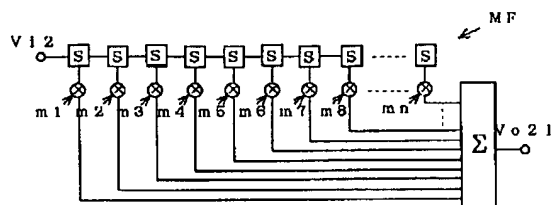
MUX1、MUX2、MUX3、MUX61、MUX62 . . . マルチプレクサ

CTRL . . . コントロール回路。

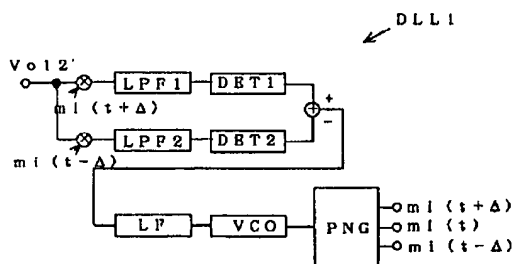
=====

== 1995-07-31 10:40:40<;<Start>;>; A:¥JSDOC¥PATENT¥YZ
N95007¥明細書.DOC<;<End>;>; A:¥JSDOC¥PATENT¥YZN9500

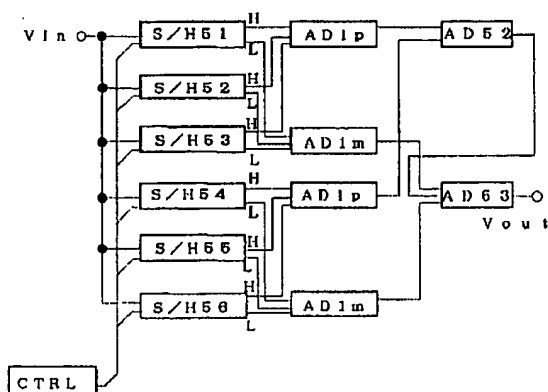
【图 2】



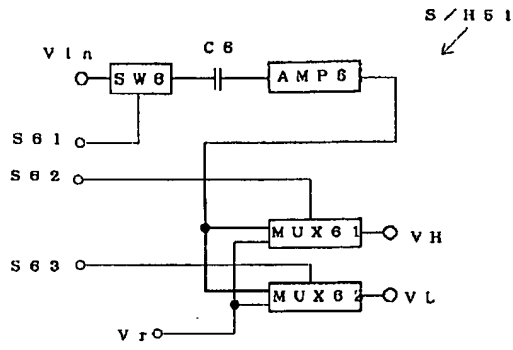
【図4】



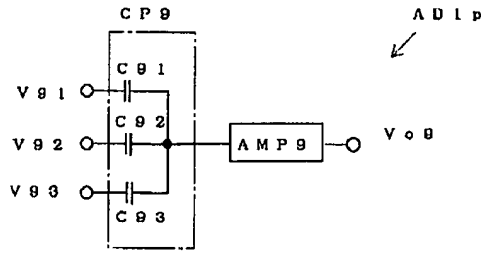
【图6】



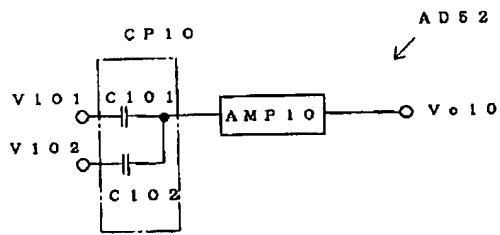
【図7】



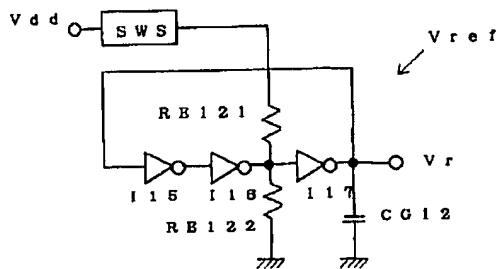
【図9】



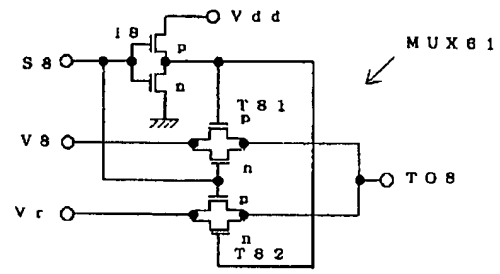
【図11】



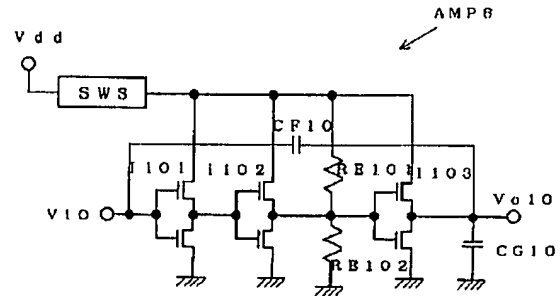
【図13】



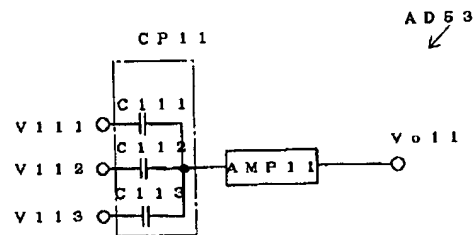
【図8】



【図10】



【図12】



フロントページの続き

(72)発明者 高 取直

東京都世田谷区北沢 3-5-18 鷹山ビル
株式会社鷹山内

(72)発明者 山本 誠

東京都世田谷区北沢 3-5-18 鷹山ビル
株式会社鷹山内